

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-057227

(43)Date of publication of application : 22.02.2002

(51)Int.Cl.

H01L 21/8246

H01L 27/112

G11C 17/00

G11C 17/08

H01L 27/10

(21)Application number : 2000-244917

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 11.08.2000

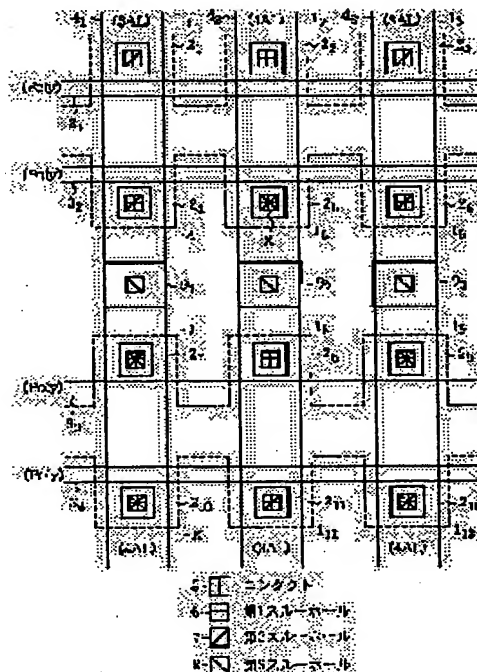
(72)Inventor : YAMAGUCHI TADAO
NAKANO NAOYOSHI

(54) SEMICONDUCTOR MEMORY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To solve the problem of misoperations due to coupling capacitance because the specific gravity of the capacitance occupying the overall capacity of bit lines is increased by a constitution of metal wirings of the same layer as that of the bit lines in conventional semiconductor memory devices.

SOLUTION: A semiconductor memory device comprises a plurality of memory cells 1i arranged into a matrix form, and a plurality of bit lines 4i extended along the cells 1i arranged in a longitudinal direction. In this device, each bit line 4i has a wiring part of an upper layer (4AL) and a wiring part of a lower layer (3AL), and the wiring parts of different layers are disposed at mutually adjacent sites between the adjacent bit lines 4i.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-57227

(P2002-57227A)

(43) 公開日 平成14年2月22日(2002.2.22)

(51) Int.Cl. ⁷	識別記号	F I	テマコード(参考)
H 0 1 L 21/8246		G 1 1 C 17/00	E 5 B 0 0 3
27/112		H 0 1 L 27/10	4 8 1 5 F 0 8 3
G 1 1 C 17/00			4 3 3
17/08		G 1 1 C 17/00	3 0 1 A
H 0 1 L 27/10	4 8 1		

審査請求 未請求 請求項の数7 O L (全9頁)

(21) 出願番号 特願2000-244917(P2000-244917)

(22) 出願日 平成12年8月11日(2000.8.11)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 山口 忠男

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(72) 発明者 中野 直佳

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(74) 代理人 100066474

弁理士 田澤 博昭 (外1名)

Fターム(参考) 5B003 AC07 AE00

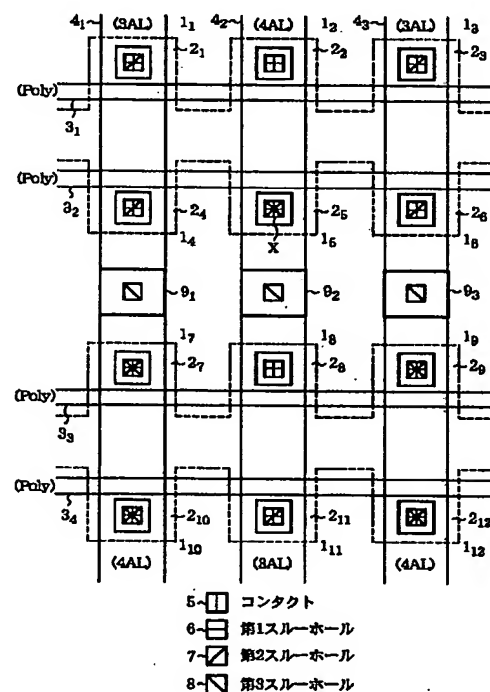
5F083 CR03 GA03 KA10 LA12 LA16
LA18 LA21

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】 従来の半導体記憶装置では、ビット線が同層のメタル配線で構成されているので、ビット線に係る全容量のなかで占めるカップリング容量の比重が大きくなり、カップリング容量に起因して誤動作が生じるという課題があった。

【解決手段】 半導体記憶装置において、マトリクス状に配列された複数のメモリセル1_iと、それぞれ縦方向に配列されたメモリセル1_iに沿って延びる複数のビット線4_iとを有して構成され、各ビット線4_iが上層(4AL)の配線部と下層(3AL)の配線部とを有し、隣接するビット線4_i間では互いに隣接する部位において異なる層の配線部が配置される。



1

【特許請求の範囲】

【請求項1】 マトリクス状に配列された複数のメモリセルと、それぞれ縦方向に配列されたメモリセルに沿って延びる複数のビット線とを有して構成され、各ビット線が上層の配線部と下層の配線部とを有し、隣接するビット線間では互いに隣接する部位において異なる層の配線部が配置されることを特徴とする半導体記憶装置。

【請求項2】 マトリクス状に配列された複数のメモリセルと、それぞれ縦方向に配列されたメモリセルに沿って延びる複数のビット線とを有して構成され、隣接するビット線間に接地用配線部を備えることを特徴とする半導体記憶装置。

【請求項3】 ビット線と接地用配線部とが同じ配線層に形成されることを特徴とする請求項2記載の半導体記憶装置。

【請求項4】 マトリクス状に配列された複数のメモリセルと、それぞれ縦方向に配列されたメモリセルに沿って延びる複数のビット線とを有して構成され、客先プログラムがプログラムされていない領域にあるメモリセルを構成するトランジスタのすべて、または一部のドレインをビット線に接続することを特徴とする半導体記憶装置。

【請求項5】 客先プログラムがプログラムされていない領域において、各ビット線毎に、必要な読み出し速度マージンを得るためにビット線に接続することができるメモリセル数以下の数のメモリセルを構成するトランジスタのドレインをそれぞれのビット線に接続することを特徴とする請求項4記載の半導体記憶装置。

【請求項6】 マトリクス状に配列された複数のメモリセルと、それぞれ縦方向に配列されたメモリセルに沿って延びる複数のビット線と、いずれかのビット線に接続されて選択されたメモリセルに記憶されたデータに対応する電圧レベルの信号を出力する出力手段と、データ出力線に接続されて入力された信号を反転する反転手段と、該反転手段に対して並列に前記データ出力線に接続される配線部と、前記出力手段を前記反転手段に接続するか、あるいは前記配線部に接続するかを選択する選択手段とを備えることを特徴とする半導体記憶装置。

【請求項7】 マトリクス状に配列された複数のメモリセルと、それぞれ縦方向に配列されたメモリセルに沿って延びる複数のビット線とを有して構成され、選択的に1、または複数のビット線を他のビット線が形成される配線層とは異なる配線層に形成することを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体記憶装置に係り、特にビット線間におけるカップリング容量を低減するようなビット線構造を備えた半導体記憶装置に関するものである。

2

【0002】

【従来の技術】図5は従来の読み出し専用半導体記憶装置（ROM）の一部を示す回路図である。図5において、 101_i ($i=1\sim6$)はメモリセルである。図5においては、説明を簡単にするために、メモリセル 101_i は2行3列に並べられているが、実際にはメモリ容量に応じて縦方向および横方向にマトリクス状に多数のメモリセル 101_i が配列されてメモリが構成される。また、 102_i ($i=1\sim6$)はメモリセルを構成するトランジスタ、 103_i ($i=1, 2$)はそれぞれ横方向に配列されたトランジスタ 102_i のゲートに接続して延びるワード線、 104_i ($i=1\sim3$)はそれぞれ縦方向に配列されたトランジスタ 102_i に沿って延びて各トランジスタ 102_i のドレインに接続可能であるビット線、 105 は対象とするメモリセルのデータを読み込むための出力線、 106 は出力線 105 に接続するビット線 104_i を選択するセクタ、 107 はセクタ 106 を制御するための制御信号を伝達する信号線、 108 は電圧源、 109 はプリチャージを制御する信号を伝達する信号線、 110 は信号線 109 により伝達される制御信号に応じてオン／オフして出力線 105 および選択されたビット線 104_i をプリチャージする際に電流を供給するトランジスタ、 111 は対象とするメモリセルのデータに応じて出力線 105 に出力される電圧をロジックレベルの電圧に変換するセンスアンプである。

【0003】なお、各トランジスタ 102_i のソースは接地されている。また、図5に示されたROMにおけるデータの記録は、記録するデータ“0”または“1”に応じて、対応するメモリセル 101_i を構成するトランジスタ 102_i のドレインをビット線 104_i に接続または非接続とすることにより実現される。図5に示されるROMについては、トランジスタ $102_1, 102_3, 102_4, 102_5, 102_6$ のドレインをそれぞれ対応するビット線 104_i に接続することでバイナリ値の“0”（低電位VL）を記憶し、トランジスタ 102_2 のドレインを対応するビット線 104_2 に対して非接続とするすなわち開放することでバイナリ値の“1”（高電位VH）を記憶する。各トランジスタのドレインと対応するビット線との接続は、当該ドレインとビット線との間でスルーホールを打つことにより実現される。したがって、ROMに記憶されるデータまたはプログラムに応じて各メモリセルについてスルーホールを“打つ”または“打たない”が決定される。

【0004】次に動作について説明する。データを読み込む際には、信号線 109 に“H”レベルの信号を入力してトランジスタ 110 をオンすることで、出力線 105 を低電位VL以上高電位VH以下の電圧にプリチャージする。次に、信号線 107 に適切な信号を入力してセクタ 106 により読み出し対象のメモリセルに係るビ

3

ット線104_iと出力線105とを接続して、出力線105に加えてビット線104_iも低電位VL以上高電位VH以下の電圧にプリチャージする。選択されたビット線104_iをプリチャージした後は、読み出し対象のメモリセルに係るワード線103_iの電圧レベルを“H”レベルとして、当該選択されたワード線103_iにゲートが接続されるトランジスタ102_iをオンする。読み出し対象のメモリセルについて、オンしたトランジスタ102_iのドレインがビット線104_iに接続されている場合には(トランジスタ102₁, 102₃, 102₄, 102₅, 102₆)、プリチャージされた電荷が接地部へ流れてビット線104_iの電位は低下する。また、オンしたトランジスタ102_iのドレインがビット線に接続されていない場合には(トランジスタ102₂)、ビット線104_iの電位は変化しない。そして、これらの電位の変化をセンスアンプ111で検出して、各メモリセルに記憶されているバイナリデータが“1”であるかまたは“0”であるかに応じて当該データに応じたロジックレベルの電圧を出力する。

【0005】次に、図6は従来の読み出し専用半導体記憶装置(ROM)の一部構造に係るレイアウトの一例を示す平面図である。図6に示されるレイアウトは、図5に点線で示される領域に対応するものである。また、図7は図6のA-A線矢視の部分に係る概略的な断面図である。図8は図6のB-B線矢視の部分に係る概略的な断面図である。これらの図において、112₁および112₂はポリ(Poly)により形成されてそれぞれワード線103₁および103₂に接続されるトランジスタ102₁, 102₂, 102₃およびトランジスタ102₄, 102₅, 102₆に共通なゲート部、113は第1アルミ(1AL)とポリまたは基板とを接続するコンタクト、114は第1アルミ(1AL)と第2アルミ(2AL)とを接続する第1スルーホール、115は第2アルミ(2AL)と第3アルミ(3AL)とを接続する第2スルーホールである。なお、図6に示されるレイアウトに係る平面図では、コンタクト113、第1スルーホール114および第2スルーホール115の重なりを記号の重なりにより示している。例えば、図6にXで示される記号により、縦線で示されるコンタクト113と横線で示される第1スルーホール114と右上がり斜線で示される第2スルーホール115とが垂直方向に並べて設けられていることが表される。また、116はドレイン、117はソースであり、2つのワード線毎(例えばワード線103₁とワード線103₂)に当該2つのワード線に接続されるメモリセルのトランジスタについてソースが共有されている。さらに、118は接地線であり、ソース117を接地線118に接続することで、ソース117が接地される。また、図6において、点線で囲まれた部分は拡散領域であり、各トランジスタが形成されている領域を示している。

4

【0006】メモリセルを構成するトランジスタ102₂のドレインには該当部の記号により示されるように、第2スルーホールが打たれていないために、トランジスタ102₂のドレインはビット線104₂に接続されておらず、出力オープンとなっている。また、上記以外のトランジスタ102₁, 102₃, 102₄, 102₅, 102₆のドレインには該当部の記号により示されるように、第2スルーホールが打たれているために、各トランジスタのドレインは第3アルミ(3AL)すなわちビット線104_iに接続されている。

【0007】

【発明が解決しようとする課題】従来の半導体記憶装置は以上のように構成されているので、すべてのビット線が同層のメタル配線で構成されていて、プロセスの微細化が進むと隣接するビット線間の間隔が狭くなって、ビット線に係る全容量のなかで占めるカップリング容量の比重が大きくなり、カップリング容量に起因して誤動作が生じるという課題があった。

【0008】この発明は上記のような課題を解決するためになされたもので、ビット線間のカップリング容量を低減して誤動作を削減することができる半導体記憶装置を得ることを目的とする。

【0009】

【課題を解決するための手段】この発明に係る半導体記憶装置は、マトリクス状に配列された複数のメモリセルと、それぞれ縦方向に配列されたメモリセルに沿って延びる複数のビット線とを有して構成され、各ビット線が上層の配線部と下層の配線部とを有し、隣接するビット線間では互いに隣接する部位において異なる層の配線部が配置されるようにしたものである。

【0010】この発明に係る半導体記憶装置は、マトリクス状に配列された複数のメモリセルと、それぞれ縦方向に配列されたメモリセルに沿って延びる複数のビット線とを有して構成され、隣接するビット線間に接地用配線部を備えるようにしたものである。

【0011】この発明に係る半導体記憶装置は、ビット線と接地用配線部とが同じ配線層に形成されるようにしたものである。

【0012】この発明に係る半導体記憶装置は、マトリクス状に配列された複数のメモリセルと、それぞれ縦方向に配列されたメモリセルに沿って延びる複数のビット線とを有して構成され、客先プログラムがプログラムされていない領域にあるメモリセルを構成するトランジスタのすべて、または一部のドレインをビット線に接続するようにしたものである。

【0013】この発明に係る半導体記憶装置は、客先プログラムがプログラムされていない領域において、各ビット線毎に、必要な読み出し速度マージンを得るためにビット線に接続することができるメモリセル数以下の数のメモリセルを構成するトランジスタのドレインをそれ

5

ぞれのビット線に接続するようにしたものである。

【0014】この発明に係る半導体記憶装置は、マトリクス状に配列された複数のメモリセルと、それぞれ縦方向に配列されたメモリセルに沿って延びる複数のビット線と、いずれかのビット線に接続されて選択されたメモリセルに記憶されたデータに対応する電圧レベルの信号を出力する出力手段と、データ出力線に接続されて入力された信号を反転する反転手段と、反転手段に対して並列にデータ出力線に接続される配線部と、出力手段を反転手段に接続するか、あるいは配線部に接続するかを選択する選択手段とを備えるようにしたものである。

【0015】この発明に係る半導体記憶装置は、マトリクス状に配列された複数のメモリセルと、それぞれ縦方向に配列されたメモリセルに沿って延びる複数のビット線とを有して構成され、選択的に1、または複数のビット線を他のビット線が形成される配線層とは異なる配線層に形成するようにしたものである。

【0016】

【発明の実施の形態】以下、この発明の実施の一形態を説明する。

実施の形態1. 図1はこの発明の実施の形態1による半導体記憶装置の一部構造のレイアウトを示す平面図である。図1において、 1_i ($i=1\sim12$)はマトリクス状に配列されてメモリを構成するメモリセル、 2_i ($i=1\sim12$)はそれぞれメモリセルを構成するトランジスタ、 3_i ($i=1\sim4$)は横方向に配列された複数のトランジスタ 2_i にそれぞれ共通に与えられるゲート部、 4_i ($i=1\sim3$)はそれぞれ縦方向に配列されたトランジスタ 2_i に沿って延びて各トランジスタのドレインに接続可能であるビット線、5は第1アルミ(1AL)とボリまたは基板とを接続するコンタクト、6は第1アルミ(1AL)と第2アルミ(2AL)とを接続する第1スルーホール、7は第2アルミ(2AL)と第3アルミ(3AL)とを接続する第2スルーホール、8は第3アルミ(3AL)と第4アルミ(4AL)とを接続する第3スルーホール、 9_i ($i=1\sim3$)はビット線 4_i 毎にそれぞれ設けられて各ビット線において第3アルミに形成された部位と第4アルミに形成された部位とを接続する接続部である。なお、図1に示されるレイアウトに係る平面図では、コンタクト5、第1スルーホール6、第2スルーホール7および第3スルーホール8の重なりを記号の重なりにより示している。例えば、図1にXで示される記号により、縦線で示されるコンタクト5と横線で示される第1スルーホール6と右上がり斜線で示される第2スルーホール7と右下がり斜線で示される第3スルーホール8とが垂直方向に並べて設けられていることが表される。また、図1において、点線で囲まれた部分は拡散領域であり、各トランジスタが形成されている領域を示している。

【0017】また、図1に示されるように、各ビット線

6

4_i は、上層(4AL)のアルミ配線(配線部)と下層(3AL)のアルミ配線(配線部)とを有して構成され、隣接するビット線間では互いに隣接する部位において異なる層のアルミ配線が配置されるようにレイアウトする。ビット線は、上層のアルミ配線を50%と下層のアルミ配線を50%とで構成するのが好適である。また、各ビット線の配線容量を均一にすることで、読み出し特性のバラツキを抑制することができる。

【0018】以上のように、この実施の形態1によれば、各ビット線が上層の配線部と下層の配線部とを有し、隣接するビット線間では互いに隣接する部位において異なる層の配線部が配置されるようにレイアウトするよう構成したので、ビット線間のカップリング容量を低減することができて、容量カップリングに起因した読み出し時の誤動作の発生を削減することができるという効果を奏する。

【0019】なお、ビット線として使用する上層のアルミ配線と下層のアルミ配線との組み合わせは、第3アルミ(3AL)と第4アルミ(4AL)との組み合わせに限るものではなく、種々の組み合わせを用いることが可能である。例えば、図1において、ゲート部 3_i に接続されるワード線の杭打ち用に第2アルミ(2AL)を使用していないレイアウト構成であれば、ビット線を構成する上層のアルミ配線として第3アルミを使用するとともに下層のアルミ配線として第2アルミを使用するようなレイアウト構成を採ることも可能である。

【0020】実施の形態2. 図2はこの発明の実施の形態2による半導体記憶装置の一部構造のレイアウトを示す平面図である。図2において、図1と同一符号は同一または相当部分を示すのでその説明を省略する。 11_i ($i=1\sim3$)はそれぞれビット線 4_i と同じ配線層において隣接するビット線 4_i 間に配置される接地用アルミ配線(接地用配線部)、 12_i ($i=1\sim3$)はそれぞれ各トランジスタ 2_i 間で共有されているソースと接地用アルミ配線 11_i とを接続するソース接地部である。

【0021】以上のように、この実施の形態2によれば、隣接するビット線 4_i 間に同じ配線層に形成された接地用アルミ配線 11_i を配置するように構成したので、ビット線 4_i 間のカップリング容量をおおよそなくすることができて、容量カップリングに起因した読み出し時の誤動作の発生を大幅に削減することができるという効果を奏する。また、ビット線 4_i 間に配置した接地用アルミ配線 11_i に各メモリセルを構成するトランジスタのソースを接続することで、メモリセルのトランジスタのソースをより強固に接地することができるので、ソース電位の浮き上がりによる読み出し特性の悪化の影響を低減することができるという効果を奏する。

【0022】なお、上記の実施の形態では、接地用アルミ配線 11_i をビット線 4_i と同じ配線層に形成する構

7

成を用いたが、隣接するビット線4i間に接地用アルミ配線11iを配置する限りにおいては、接地用アルミ配線11iをビット線4iと異なる配線層に形成する構成を用いることも可能であり、この場合同様にカップリング容量を低減することができ読み出し時の誤動作の発生を削減することができるという効果を奏する。また、実施の形態1に示されたように各ビット線が複数の配線層に形成された配線部を有して構成される場合においても、隣接するビット線間に接地用アルミ配線を配置することで、さらにカップリング容量を除去することができ読み出し時の誤動作の発生を大幅に削減することができるという効果を奏する。

【0023】なお、上記の実施の形態1および実施の形態2においては、スルーホールを打つか否かに応じてデータを記憶するマスクROM(ROM)を対象として説明したが、マトリクス状に配列されたメモリセルのなかで縦方向に配列されたメモリセルに沿って当該メモリセルに接続可能に延びる複数のビット線を有する構造を採る限りにおいて、他の構成を有する半導体記憶装置に対しても実施の形態1および実施の形態2に係る発明を適用することが可能である。

【0024】実施の形態3。この発明の実施の形態3による半導体記憶装置は、客先プログラムがプログラムされない領域にあるすべてのメモリセルを構成するトランジスタのドレインに対してスルーホールを打つことでこれらドレインをビット線に接続することを特徴とする。この実施の形態では、スルーホールの有無でメモリセルにデータを登録するマスクROMを対象としている。図3はこの発明の実施の形態3による半導体記憶装置のメモリ領域におけるデータ記録状態を示す図である。なお、“客先プログラム”とは、マスクROMにプログラムされる顧客作成のプログラムデータを意味するものである。

【0025】図3に示されるように、全ROM領域は、客先プログラム領域とその他の空き領域とに分割される。客先プログラム領域では、客先プログラムデータの“0”または“1”が、スルーホールを“打つ”または“打たない”に対応する。また、空き領域では自由にスルーホールを打つことが可能であり、この実施の形態3においては各ビット線の容量を大きくするために、空き領域のすべてのメモリセルに対してスルーホールを打つ。

【0026】ここで、スルーホールを打つこととビット線の配線容量との関係について説明する。スルーホールを打つとビット線とメモリセルを構成するトランジスタのドレインとが接続されるために、ビット線に係る配線容量として、スルーホールが打たれて接続されたメモリセル数分のドレイン容量が加えられて、全体的な配線容量が増加する。

【0027】次に、ビット線に係る全体的な容量の変化

8

に対するビット線間の容量カップリングの影響力の変化について説明する。容量カップリングによる影響とは、着目するビット線と隣接ビット線とのカップリング容量(配線間容量)により、着目するビット線が隣接するビット線の電位変化の影響を受けることを意味する。この容量カップリングの影響は、ビット線間のカップリング容量が大きい場合、ならびに隣接ビット線の電位変化が急峻である場合に大きくなる。したがって、隣接ビット線の配線容量が大きい場合には、小さい場合と比較すると電位の変化が緩やかになり、容量カップリングの影響が小さくなる。さらに、着目するビット線に係る容量が大きい程、隣接ビット線の電位変化に対する影響を当該ビット線自体が受けにくくなる。以上より、スルーホールを打ってビット線の配線容量を大きくすることにより、ビット線間の容量カップリングの影響を軽減することができる、読み出し時の誤動作の発生を削減できる。

【0028】以上のように、この実施の形態3によれば、メモリ領域において客先プログラムがプログラムされていない領域にあるすべてのメモリセルを構成するトランジスタのドレインをビット線に接続するように構成したので、各ビット線の配線容量が大きくなり、ビット線間の容量カップリングの影響を軽減することができ、読み出し時の誤動作の発生を削減できるという効果を奏する。

【0029】実施の形態4。この発明の実施の形態4による半導体記憶装置は、読み出し速度マージンを評価して、客先プログラムがプログラムされない領域において、ドレインに対してスルーホールを打つメモリセルを読み出し速度マージンに応じて選定することを特徴とする。ここで、読み出し速度マージンとは、製品の動作規格に対するROMの実際の読み出し速度の余裕度を意味する。読み出し速度マージンが小さいことはROMの読み出し速度が製品スペックより少し速いのみで余裕がないことを示し、読み出し速度マージンが大きいことはROMの読み出し速度が製品スペックより十分に速くて余裕があることを示す。

【0030】配線容量が大きければ、既に述べたように容量カップリングの影響は減少するが、読み出し速度が遅くなる。したがって、対象とするROMの読み出し速度マージンを評価した上で、各ビット線毎に必要な読み出し速度マージンを確保できる範囲で、客先プログラムがプログラムされていない領域においてドレインに対してスルーホールを打つメモリセル数を選定する。

【0031】以上のように、この実施の形態4によれば、客先プログラムがプログラムされていない領域において、各ビット線毎に、必要な読み出し速度マージンを得るためにビット線に接続することができるメモリセル数以下の数のメモリセルを構成するトランジスタのドレインをそれぞれのビット線に接続するように構成したので、必要な読み出し速度マージンを確保するとともに、

9

ビット線の配線容量を大きくしてビット線間の容量カップリングの影響を軽減し、読み出し時の誤動作の発生を削減できるという効果を奏する。

【0032】実施の形態5. 図4はこの発明の実施の形態5による半導体記憶装置の構成を示す概略図である。図4において、 21_i ($i=1\sim6$)はそれぞれメモリセルを構成するトランジスタ、 22_i ($i=1, 2$)はそれぞれ横方向に配列されたトランジスタ 21_i のゲートに接続して延びるワード線、 23_i ($i=1\sim3$)はそれぞれ縦方向に配列されたトランジスタ 21_i に沿って延びてこれらトランジスタ 21_i のドレインに接続可能であるビット線、 24 は対象とするメモリセルのデータを読み込むための信号線、 25 は信号線 24 に接続するビット線 23_i を選択するセクタ、 26 はメモリセルのデータに応じて信号線 24 に出力される電圧をロジックレベルの電圧に変換するセンスアンプ(出力手段)、 27 はインバータ(反転手段)、 28 はインバータ 27 に並列に設けられた配線部、 29 はセンスアンプ 26 をインバータ 27 に接続するかあるいは配線部 28 に接続するかを選択する選択手段、 30 はインバータ 27 および配線部 28 にそれぞれ接続されるデータ出力線である。なお、この実施の形態では、スルーホールの有無でメモリにデータまたはプログラムを登録するマスクROMを対象としている。

【0033】通常の構成を有するマスクROMでは、スルーホールの有無はそれぞれ客先プログラムデータの“0”または“1”のいずれか一方に対応するのみである。例えば、スルーホール“有”はバイナリ値の“0”に対応し、スルーホール“無”はバイナリ値の“1”に対応するものとする。このような回路構成において、客先プログラムデータにデータ“1”が多いとビット線に係る配線容量は全体的に小さくなる。したがって、客先プログラムデータに“0”が多い場合には、データをそのまま各メモリセルに記憶するとともに、選択手段29によりセンスアンプ26に配線部28を接続して、メモリセルに記憶されたデータをそのまま出力する。また、客先プログラムデータに“1”が多い場合には、データを反転させて各メモリセルに記憶するとともに、選択手段29によりセンスアンプ26にインバータ27を接続して、メモリセルに記憶されたデータを反転して出力する。このように構成することで、如何なるデータ構成を有する客先プログラムに対しても客先プログラムデータにおいて“0”の数すなわちスルーホール“有”となるメモリセルの数を多くして、ビット線に係る配線容量を全体的に大きくすることができる。

【0034】以上のように、この実施の形態5によれば、メモリセルのデータを出力するセンスアンプ26と、データ出力線30に接続されるインバータ27と、インバータ27に対して並列にデータ出力線30に接続される配線部28と、センスアンプ26をインバータ2

10

7に接続するか、あるいは配線部28に接続するかを選択する選択手段29とを備えるように構成したので、客先プログラムデータにおいてスルーホール“有”に対応するデータを多くしてビット線に係る配線容量を全体的に大きくすることができるので、容量カップリングの影響を低減して読み出し時の誤動作の発生を削減することができるという効果を奏する。

【0035】実施の形態6. この発明の実施の形態6による半導体記憶装置は、ビット線を選択的に異なる配線層に形成することを特徴とする。特に、高速読み出しの必要なビット線を他のビット線と異なる配線層に形成することで、ビット線間の容量カップリングの影響を軽減して高速読み出しを可能とすることができるので、読み出し時の誤動作の発生を削減できるという効果を奏する。

【0036】

【発明の効果】以上のように、この発明によれば、マトリクス状に配列された複数のメモリセルと、それぞれ縦方向に配列されたメモリセルに沿って延びる複数のビット線とを有して構成され、各ビット線が上層の配線部と下層の配線部とを有し、隣接するビット線間では互いに隣接する部位において異なる層の配線部が配置されるように構成したので、ビット線間のカップリング容量を低減することができ、かつ容量カップリングに起因した読み出し時の誤動作の発生を削減することができるという効果を奏する。

【0037】この発明によれば、マトリクス状に配列された複数のメモリセルと、それぞれ縦方向に配列されたメモリセルに沿って延びる複数のビット線とを有して構成され、隣接するビット線間に接地用配線部を備えるように構成したので、ビット線間のカップリング容量を大幅に低減することができ、かつ容量カップリングに起因した読み出し時の誤動作の発生を削減することができるという効果を奏する。また、ビット線間に配置した接地用配線部に各メモリセルを構成するトランジスタのソースを接続することで、メモリセルのトランジスタのソースをより強固に接地することができるので、ソース電位の浮き上がりによる読み出し特性の悪化の影響を低減することができるという効果を奏する。

【0038】この発明によれば、ビット線と接地用配線部とが同じ配線層に形成されるように構成したので、ビット線間のカップリング容量をおおよそなくすることができ、かつ容量カップリングに起因した読み出し時の誤動作の発生を大幅に削減することができるという効果を奏する。

【0039】この発明によれば、マトリクス状に配列された複数のメモリセルと、それぞれ縦方向に配列されたメモリセルに沿って延びる複数のビット線とを有して構成され、客先プログラムがプログラムされていない領域にあるメモリセルを構成するトランジスタのすべて、ま

11

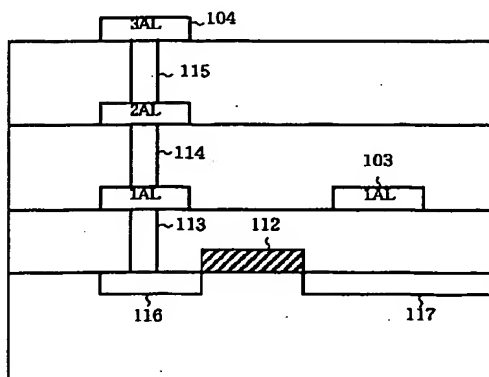
たは一部のドレインをビット線に接続するように構成したので、各ビット線の配線容量が大きくなり、ビット線間の容量カップリングの影響を軽減することができ、かつ読み出し時の誤動作の発生を削減できるという効果を奏する。

【0040】この発明によれば、客先プログラムがプログラムされていない領域において、各ビット線毎に、必要な読み出し速度マージンを得るためにビット線に接続することができるメモリセル数以下の数のメモリセルを構成するトランジスタのドレインをそれぞれのビット線に接続するように構成したので、必要な読み出し速度マージンを確保するとともに、ビット線の配線容量を大きくしてビット線間の容量カップリングの影響を軽減し、読み出し時の誤動作の発生を削減できるという効果を奏する。

【0041】この発明によれば、マトリクス状に配列された複数のメモリセルと、それぞれ縦方向に配列されたメモリセルに沿って延びる複数のビット線と、いずれかのビット線に接続されて選択されたメモリセルに記憶されたデータに対応する電圧レベルの信号を出力する出力手段と、データ出力線に接続されて入力された信号を反転する反転手段と、該反転手段に対して並列にデータ出力線に接続される配線部と、出力手段を反転手段に接続するか、あるいは配線部に接続するかを選択する選択手段とを備えるように構成したので、客先プログラムデータにおいてスルーホール“有”に対応するデータを多くしてビット線に係る配線容量を全体的に大きくすることができるので、容量カップリングの影響を低減して読み出し時の誤動作の発生を削減することができるという効果を奏する。

【0042】この発明によれば、マトリクス状に配列された複数のメモリセルと、それぞれ縦方向に配列されたメモリセルに沿って延びる複数のビット線とを有して構成され、選択的に1、または複数のビット線を他のビット線が形成される配線層とは異なる配線層に形成するように構成したので、高速読み出しの必要なビット線を他*

【図7】



12

*のビット線が形成される配線層とは異なる配線層に形成すれば、ビット線間の容量カップリングの影響を軽減して高速読み出しを可能とすることができるので、読み出し時の誤動作の発生を削減することができるという効果を奏する。

【図面の簡単な説明】

【図1】 この発明の実施の形態1による半導体記憶装置の一部構造に係るレイアウトを示す平面図である。

【図2】 この発明の実施の形態2による半導体記憶装置の一部構造に係るレイアウトを示す平面図である。

【図3】 この発明の実施の形態3による半導体記憶装置のメモリ領域におけるデータ記録状態を示す図である。

【図4】 この発明の実施の形態5による半導体記憶装置の構成を示す概略図である。

【図5】 従来の読み出し専用半導体記憶装置の一部を示す回路図である。

【図6】 従来の読み出し専用半導体記憶装置の一部構造に係るレイアウトの一例を示す平面図である。

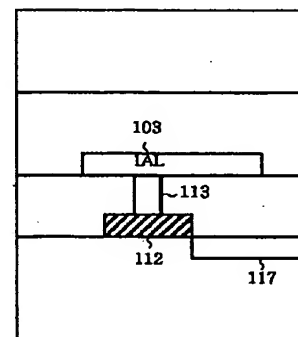
【図7】 図6のA-A線矢視の部分に係る概略的な断面図である。

【図8】 図6のB-B線矢視の部分に係る概略的な断面図である。

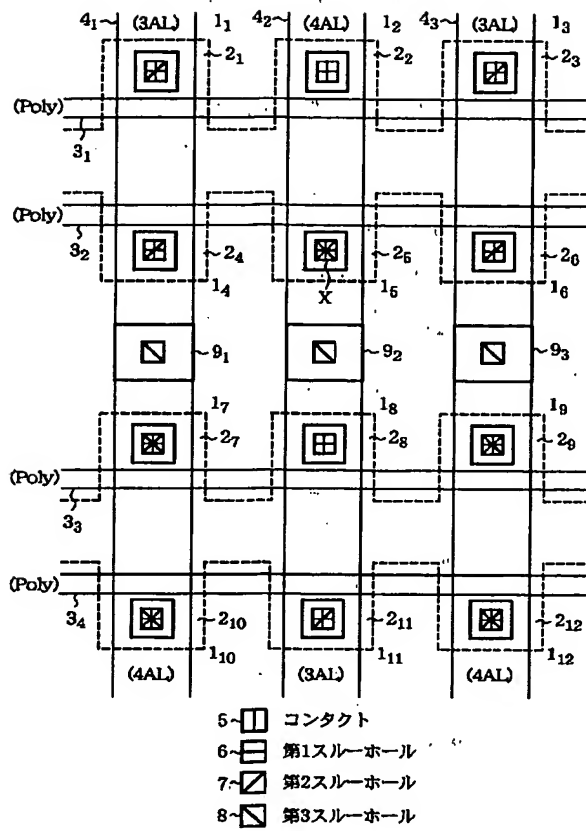
【符号の説明】

1_i (i=1~12) メモリセル、2_i (i=1~12) トランジスタ、3_i (i=1~4) ゲート部、4_i (i=1~3) ビット線、5 コンタクト、6 第1スルーホール、7 第2スルーホール、8 第3スルーホール、9_i (i=1~3) 接続部、11_i (i=1~3) 接地用アルミ配線(接地用配線部)、12_i (i=1~3) ソース接地部、21_i (i=1~6) トランジスタ、22_i (i=1, 2) ワード線、23_i (i=1~3) ビット線、24 信号線、25 セレクタ、26 センスアンプ(出力手段)、27 インバータ(反転手段)、28 配線部、29 選択手段、30 データ出力線。

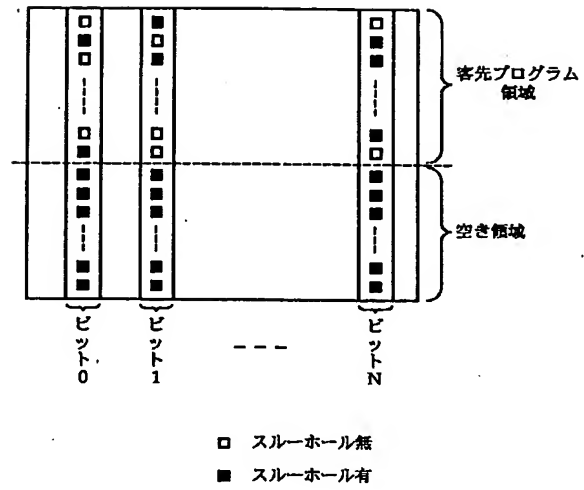
【図8】



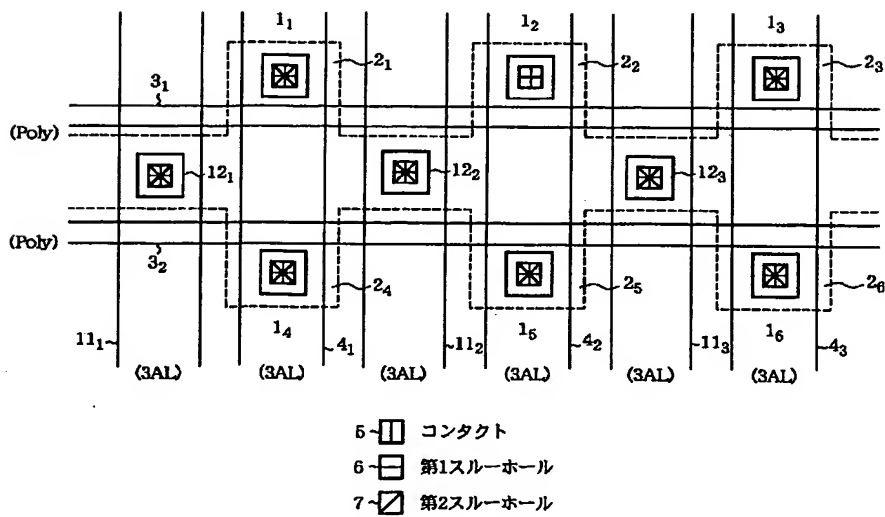
【図1】



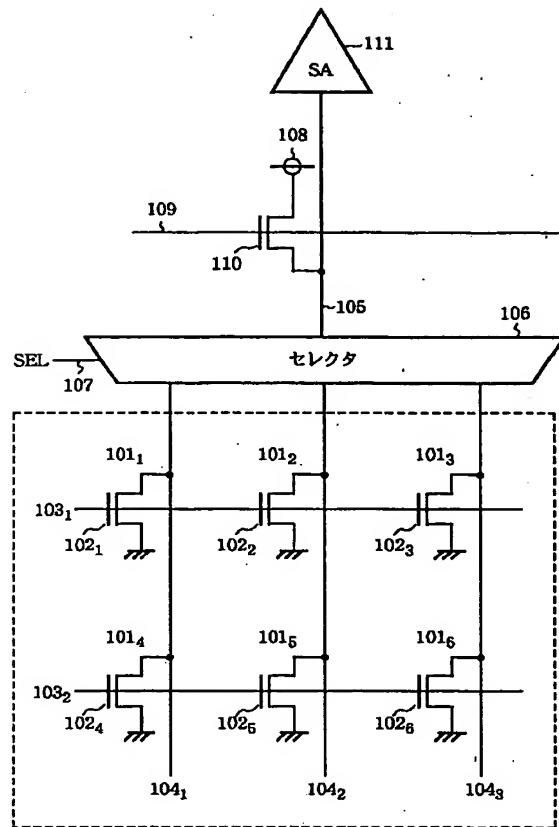
【図3】



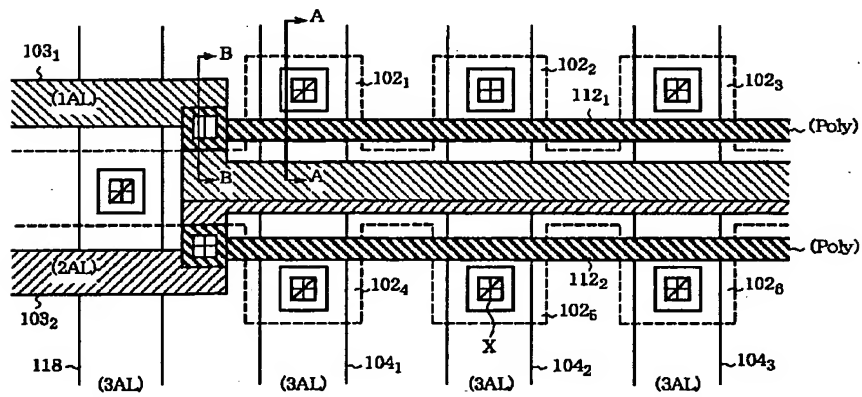
【図2】



【図 5】



【図 6】



113~☐ コンタクト

114~☐ 第1スルーホール

115~☒ 第2スルーホール